

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04154165 A

(43) Date of publication of application: 27.05.92

(51) Int. Cl

H01L 27/14

H01L 21/302

H01L 21/3205

H04N 1/028

H04N 5/335

(21) Application number: 02277812

(71) Applicant: FUJI XEROX CO LTD

(22) Date of filing: 18.10.90

(72) Inventor: YAMAMOTO SHIGERU
HIKIJI TAKETO

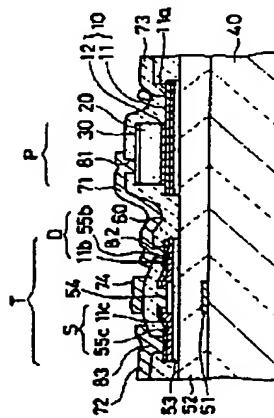
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To enable reliability and yield to be improved by forming a metal electrode of a light-receiving element where a light-conductive layer is held by a transparent electrode and a metal electrode in a lamination structure consisting of Ta or W and Ti.

CONSTITUTION: A light-receiving element P is constituted in a sandwich structure by laminating a metal electrode 10 which consists of a Ti layer 11 and Ta or a W layer 12, a light-conductive layer 20 which consists of hydrogenation amorphous silicon, a transparent electrode 30 which consists of indium/tin oxide onto a glass substrate 40 in sequence. By forming a side of the layer 20 of the electrode 10 with Ta or the W layer 12, formation of silicide can be prevented at an interface between hydrogenation amorphous silicon and Ta. Also, when performing patterning of the layer 20 by etching, the Ti layer 11 operates as an improved etching stopper, thus enabling a thin-film layer which is formed at a lower layer of Ti to be protected. There, reliability and yield can be improved.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑫ 公開特許公報 (A) 平4-154165

| | | | |
|-----------------------------------|--------|--|------------------------------|
| ⑤Int.Cl. ⁵ | 識別記号 | 序内整理番号 | ⑬公開 平成4年(1992)5月27日 |
| H 01 L 27/14 21/302 21/3205 | F | 7353-4M | |
| H 04 N 1/028 5/335 | Z W | 9070-5C 8838-5C 8122-4M 7353-4M | H 01 L 27/14 21/88 D R |
| 審査請求 未請求 請求項の数 1 (全8頁) | | | |

④発明の名称 半導体装置

②特 願 平2-277812
 ②出 願 平2(1990)10月18日

⑦発明者 山本 滋 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
 海老名事業所内

⑧発明者 央地丈人 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
 海老名事業所内

⑨出願人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑩代理人 弁理士 阪本 清孝 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

光導電層を透明電極と金属電極とで挟んで受光素子を構成する半導体装置において、

前記金属電極を2つの異なる金属から成る積層構造とともに、光導電層側の金属をタンタル(Ta)若しくはタンゲステン(W)で形成し、他方側の金属をチタン(Ti)で形成して成る半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に受光素子と薄膜トランジスタとを同一基板上に形成して成るイメージセンサにおいて、薄膜トランジスタを保護して歩留りの向上を図ることができる前記受光素子の構造に関する。

(従来の技術)

従来、ファクシミリ等には、例えば原稿等の画

像情報を1対1に投影して電気信号に変換する密着型イメージセンサが使用されている。そして、投影した画像を多数の画素に分割し、画素に対応する各受光素子で発生した電荷を薄膜トランジスタ(TFT)で構成されたスイッチング素子を使って特定のブロック単位で各配線の配線容量に一時蓄積し、駆動ICにより電気信号として数百KHzから数MHzまでの速度で時系列的に順次読み出すTFT駆動型イメージセンサが提案されている。このTFT駆動型イメージセンサは、TFTによるマトリックス動作を行なうことにより単一の駆動ICで複数のブロックの受光素子の読み取りが可能となるので、イメージセンサを駆動する駆動ICの個数を少なくすることができる。

TFT駆動型イメージセンサは、例えば、その等価回路図を第3図に示すように、複数の受光素子PKnを一列にライン状に配設し原稿幅と略同じ長さとした受光素子アレイ101と、前記各受光素子PKnに1:1に対応する個数の薄膜トランジスタTKnから成る電荷転送部102と、マ

特開平4-154165 (2)

トリックス状の多層配線 103とを具備して構成されている。

前記受光素子アレイ 101は、K個のブロックの受光素子群に分割され、一つの受光素子群を形成するn個の受光素子P_{k,n}は、フォトダイオードと寄生容量により等価的に表すことができる。各受光素子P_{k,n}は各薄膜トランジスタT_{k,n}のドレイン電極にそれぞれ接続されている。そして、薄膜トランジスタT_{k,n}のソース電極は、マトリックス状に接続された多層配線 103を介して受光素子群毎に共通信号線 104(n本)にそれぞれ接続され、更に共通信号線 104は駆動IC 105に接続されている。各薄膜トランジスタT_{k,n}のゲート電極には、ブロック毎に導通するようゲートパルス発生回路 106に接続されている。

各受光素子P_{k,n}で発生する光電荷は一定時間受光素子P_{k,n}の寄生容量と薄膜トランジスタT_{k,n}のドレイン電極・ゲート電極間のオーバーラップ容量に蓄積された後、薄膜トランジスタT_{k,n}を電荷転送用のスイッチとして用いてブロック

毎に順次多層配線 103の配線容量CLに転送蓄積される。すなわち、ゲートパルス発生回路 106からゲート信号線Gkを経由して伝達されたゲートパルスG1が、第1のブロックの薄膜トランジスタT_{1,1}～T_{1,n}をオンにし、第1のブロックの各受光素子P_{k,n}で発生した電荷が各配線容量CLに転送蓄積される。そして、各配線容量CLに蓄積された電荷により各共通信号線 104の電位が変化し、この電圧値を駆動IC 105内のアナログスイッチSWnを順次オンして時系列的に出力線 107に抽出する。そして、ゲートパルスG2～GKにより第2～第Kのブロックの薄膜トランジスタT_{2,1}～T_{2,n}からT_{K,1}～T_{K,n}までがそれぞれオンすることによりブロック毎に受光素子側の電荷が転送され、順次読み出すことにより原稿の主走査方向の1ラインの画像信号を得、ローラ等の原稿送り手段(図示せず)により原稿を移動させて前記動作を繰り返し、原稿全体の画像信号を得るものである(特開昭63-9358号公報参照)。

上記イメージセンサの受光素子P及び受光素子Pで発生した電荷を転送するため各受光素子P毎に設けられた薄膜トランジスタTは、第2図に示すように、同一ガラス基板1上に形成されている。受光素子P及び薄膜トランジスタTの製造プロセスについて第2図(a)乃至(d)を参考して説明する。

まず、ガラス基板1上にクロム(Cr)を着膜及びバターニングしてゲート電極2を形成する。

次に、ゲート絶縁層3となるシリコン窒化膜(SiNx)、半導体活性層4となる水素化アモルファスシリコン(a-Si:H)膜4'、更にシリコン窒化膜(SiNx)を着膜し、このシリコン窒化膜(SiNx)のバターニングを行ってゲート電極2上に上部絶縁層5を形成する。

続いて、n+水素化アモルファスシリコン(a-Si:H)膜6'、受光素子Pの下部電極及び薄膜トランジスタのバリヤメタル層7b、7cを形成する。続いて同一マスクを用いてn+水素化アモルファスシリコン膜6'をバターニングして薄膜トランジスタTのオーミックコンタクト層6b、6cを形成し、更に水素化アモルファスシリコン(a-Si:H)膜4'をバターニングして薄膜トランジスタTの半導体活性層4を形成する(第2図(d))。

(発明が解決しようとする課題)

上記製造プロセスにおいて前記金属膜7'は、

特開平4-154165(3)

第2図(c)に示したように、水素化アモルファスシリコン膜8'をエッティングして光導電層8を形成する際のエッティングストップを兼ねている。従って金属膜7'としては、水素化アモルファスシリコン膜8'のエッティングの際にエッティングされない材料、例えばクロム(Cr)やチタン(Ti)が用いられている。

しかしながら、金属膜7'としてクロム(Cr)を用いた場合、水素化アモルファスシリコン膜8'のエッティング時に良好なエッティングストップとなるが、電触による溶けが起こりやすく、受光素子Pや薄膜トランジスタTの信頼性が低下するという問題点があった。

また、金属膜7'としてチタン(Ti)を用いた場合、水素化アモルファスシリコン膜8'との界面で反応を起こしてシリサイドを形成しやすく、このシリサイドは水素化アモルファスシリコン膜8'のエッティング条件によりエッティングされてしまうので、金属膜7'の下層に形成された薄膜トランジスタTの製造歩留りが悪くなるという問題

ことにより、光導電層との界面においてシリサイドの形成を防止して、エッティングにより光導電層をバターニングする際にチタン(Ti)を良好なエッティングストップとして作用させることができ。また、耐電触性の高いチタン(Ti)を金属電極として使用したので、信頼性の高い半導体装置を得ることができる。

(実施例)

本発明の一実施例について第1図(e)を参照しながら説明する。

受光素子Pは、異なる二つの金属を積層して成る金属電極10と、水素化アモルファスシリコン(a-Si:H)から成る光導電層20と、酸化インジウム・ズス(ITO)から成る透明電極30とをガラス基板40上に順次積層して成るサンドイッチ構造で構成されている。

金属電極10は、主走査方向(図の表裏方向)に帯状に形成され副走査方向に引き出し部11aを有するチタン(Ti)層11と、各受光素子P毎(ピット毎)に個別に分割形成されたタンタル

点があった。

本発明は上記実情に鑑みてなされたもので、受光素子及び薄膜トランジスタを同一基板上に形成する場合に、歩留りの向上と信頼性の確保とを両立させる半導体装置の構造を提供することを目的とする。

(課題を解決するための手段)

上記從来例の問題点を解決するため本発明は、光導電層を透明電極と金属電極とで挟んで受光素子を構成する半導体装置において、前記金属電極を2つ以上の異なる金属から成る積層構造としている。そして金属電極の光導電層側の金属をタンタル(Ta)若しくはタンゲステン(W)で形成し、他方側の金属をチタン(Ti)で形成することを特徴としている。

(作用)

本発明によれば、金属電極をタンタル(Ta)若しくはタンゲステン(W)とチタン(Ti)との二層構造としたので、その光導電層側にタンタル(Ta)若しくはタンゲステン(W)を形成す

(Ta)層12とから成り、タンタル(Ta)層12が光導電層20と接するように構成されている。

また、光導電層20及び透明電極30は各受光素子P毎(ピット毎)に個別に分割形成されることにより、光導電層20を金属電極10と透明電極30とで挟んだ部分が各受光素子Pを構成し、その集まりが受光素子アレイを形成している。このように、光導電層20と透明電極30を個別化したのは、a-Si:Hの光導電層20が共通層であると、特定の受光素子Pで起こる光電変換作用が隣接する受光素子Pに対して干渉を起こすことがあるので、この干渉を少なくするためである。

金属電極10の光導電層20側をタンタル(Ta)層12で形成したのは、光導電層20を形成する水素化アモルファスシリコン(a-Si:H)とタンタル(Ta)との界面において、シリサイドの形成を防ぐためである。従って、金属電極10の光導電層20側の層としてタンタル(Ta)の代わりに、水素化アモルファスシリコン(a-

特開平4-154165(4)

Si : H) に対してシリサイドを形成しない材料、例えばタンクステン(W)を用いててもよい。

また、前記光導電層20において、水素化アモルファスシリコンの代わりに、 CdSe (カドミウムセレン)等を使用してもよい。

電荷転送部として機能する薄膜トランジスタTは、クロム(Cr)で形成されたゲート電極51、シリコン窒化膜で形成されたゲート絶縁層52、水素化アモルファスシリコン($a-\text{Si : H}$)で形成された半導体活性層53、ゲート電極51に対向するよう設けられシリコン窒化膜で形成された上部絶縁層54、 n^+ 水素化アモルファスシリコン($n^+ a-\text{Si : H}$)で形成されたオーミックコンタクト層55b、55c、チタン(Ti)で形成されたバリヤメタル層11b、11cを前記ガラス基板40上に順次積層して構成されている。オーミックコンタクト層55b及びバリヤメタル層11bとオーミックコンタクト層55c及びバリヤメタル層11cとは、上部絶縁層54を中心として対向するように形成され、それぞれド

約150°Cの温度で750Å程度の膜厚に着膜する。

次に、前記クロム(Cr)層をフォトリソ工程と、硝酸セリウムアンモニウム、過塩素酸、水の混合液を用いたエッチング工程によりバターニングしてゲート電極51を形成し、その後レジストを剥離する。

次にアルカリ洗浄を行い、ガラス基板40の全面に薄膜トランジスタTのゲート絶縁層52となるシリコン窒化膜(SiNx)を3000Å程度の膜厚で、水素化アモルファスシリコン($a-\text{Si : H}$)膜53'を500Å程度の膜厚で、上部絶縁層54となるシリコン窒化膜(SiNx)を1500Å程度の膜厚でそれぞれ順に真空を破らずにプラズマCVD(P-CVD)により連続着膜する。真空を破らずに連続的に着膜することでそれぞれの界面の汚染を防ぐことができ、薄膜トランジスタの特性の安定化を図ることができる。

前記シリコン窒化膜(ゲート絶縁層52)は、P-CVD法により基板温度が300~400°C

レイン電極D、ソース電極Sを構成している。

前記受光素子Pと薄膜トランジスタTとは、ボリイミド膜60により絶縁されるとともに、受光素子Pの透明電極30は、ボリイミド膜60上に形成されたアルミニウム(A1)から成る引き出し配線71を介して薄膜トランジスタTのドライン電極Dに接続されている。また、薄膜トランジスタTのソース電極Sは、信号配線72に接続されている。前記バリヤメタル層11b、11cは、アルミニウム配線である引き出し配線71、信号配線72と n^+ アモルファスシリコンとの間での相互拡散を防ぐために介在させたものである。

金属電極10のチタン(Ti)層11の引き出し部11aには、電源供給配線73を介して一定のバイアス電圧VBが印加されている。

次に上記イメージセンサの製造方法について説明する。

まず、検査、洗浄されたガラス基板40上に、薄膜トランジスタTのゲート電極51となる第1のクロム(Cr1)層を、DCスパッタ法により

で、 SiH_4 と NH_3 のガス圧力が0.1~0.5Torrで、 SiH_4 ガス流量が10~50SCCMで、 NH_3 のガス流量が100~300SCCMで、RFパワーが50~200Wの条件下で形成する。

前記水素化アモルファスシリコン膜53'は、P-CVD法により基板温度が約200~300°Cで、 SiH_4 のガス圧力が0.1~0.5Torrで、 SiH_4 ガス流量が100~300SCCMで、RFパワーが50~200Wの条件下で形成する。

前記シリコン窒化膜(上部絶縁層54)は、P-CVD法により基板温度が約200~300°Cで、 SiH_4 と NH_3 のガス圧力が0.1~0.5Torrで、 SiH_4 ガス流量が100~300SCCMで、RFパワーが50~200Wの条件下で形成する。

次に、ゲート電極51に対応するような形状で前記シリコン窒化膜のパターンを形成するために、シリコン窒化膜の上にレジストを塗布し、そしてガラス基板40の裏方向からゲート電極51の形状パターンをマスクとして用いて裏面露光、現像、

特開平4-154165(5)

HFとNH₃、Fの混合液でエッティングを行なって上部絶縁層54を形成し、その後レジスト剥離を行なう。

さらにBHF処理を行い、その上にn⁺アモルファスシリコン膜55'をSiHとPH₃の混合ガスを用いたP-CVDにより1000Å程度の膜厚で約250°C程度の温度で着膜する。

次に、チタン(Ti)膜11'をDCスパッタにより500Å～3000Å程度の膜厚で着膜する。続いて、タンタル(Ta)膜12'をDCスパッタにより50Å～1000Å程度の膜厚で連続して着膜する。チタン(Ti)膜11'とタンタル(Ta)膜12'との界面は、スパッタによる連続着膜により、合金層が形成され、後述する水素化アモルファスシリコンのドライエッティングの際の耐ドライエッティング性を向上させる。

次に、水素化アモルファスシリコン膜20'を13000Å程度の膜厚に着膜し、酸化インジウム・スズ(ITO)膜30'を600Å程度の膜厚で着膜する。この時、それぞれの着膜の前にア

ルカリ洗浄を行なう(第1図(a))。

上記水素化アモルファスシリコン膜20'は、P-CVD法により基板温度が170～250°Cで、SiH₄のガス圧力が0.3～0.7Torrで、SiH₄ガス流量が150～300SCCMで、RFパワーが100～200Wの条件下で形成する。

また、酸化インジウム・スズ膜30'は、DCマグネットロニスパッタにより基板温度が室温で、ArとO₂のガス圧力が1.5×10⁻²Torrで、Arガス流量が100～150SCCMで、O₂ガス流量が1～2SCCMで、DCパワーが200～400Wの条件下で形成する。

この後、酸化インジウム・スズ膜30'をフォトリソ工程と、希塩酸を用いたエッティング工程でパターニングして、各受光素子P毎に分離するよう個別化された透明電極30を形成する(第1図(b))。

続いて、同一のレジストパターンにより水素化アモルファスシリコン膜20'をC, C₁F₄とSF₆とO₂の混合ガスを用いたドライエッキン

グによりパターニングして各受光素子P毎に分離するよう個別化された光導電層20を形成する。このエッティング処理はC, C₁F₄, 100SCCM, SF₆, 100SCCM, O₂, 20SCCM, RFパワー400W, 圧力0.3Torrの条件下で行なう。このエッティング条件により、タンタル(Ta)膜12'も同時にエッティングされ、光導電層20と同一パターンのタンタル(Ta)膜12が形成される。また、チタン(Ti)膜11'がエッティングストップとして作用し、該チタン(Ti)膜11'の下層に形成された各層を保護する。この際、タンタル(Ta)のエッティング速度は水素化アモルファスシリコンより遅いのでタンタル(Ta)膜12のサイドエッチは生じない。また、このドライエッティング時において、光導電層20となる水素化アモルファスシリコンには、サイドエッチが大きく入るため、レジストを剥離する前に再度透明電極30(ITO)のエッティングを行なう。以上の処理により、透明電極30の周辺裏側からさらにエッティングされて光導電層20と同じサイ

ズの透明電極30が形成される。

次に、チタン(Ti)膜11'をフォトリソ法により露光、現像を行なってレジストパターンを形成し、フッ硝酸を用いたエッティング工程で、パターニングして受光素子Pの金属電極10のチタン(Ti)層11、薄膜トランジスタTのバリヤメタル層11b, 11cを形成し、その後レジスト剥離を行なう。受光素子Pのチタン(Ti)層11とバリヤメタル層11bとは完全に分離するよう形成されている。

次にHFとO₂の混合ガスでドライエッティングを行なうと、チタン(チタン層11, バリヤメタル層11b, 11c)とSiNx(上部絶縁層54)のない部分がエッティングされ、a-Si:H層とn⁺水素化アモルファスシリコン(n⁺a-Si:H)のパターンが形成される。これにより、受光素子Pのチタン層11の下層にn⁺型のa-Si:H層及びa-Si:H層が残る。またこの工程により、オーミックコンタクト層55b, 55cのパターンが形成されてドレイン電極D及

びソース電極Sが形成され、更に半導体活性層5のパターンが形成される(第1図(d))。

そして、受光素子P及び薄膜トランジスタT全体を覆うようにポリイミド膜60を13000Å程度の厚さで塗布し、160°C程度でブリーベークを行ってフォトリソエッティング工程でパターン形成を行い、再度ベーキングする。前記パターンニングにより、受光素子Pの透明電極30と薄膜トランジスタTのドレイン電極Dとを接続するためのコンタクトホール81及びコンタクトホール82、ソース電極Sと信号配線72とを接続するためのコンタクトホール83をそれぞれ形成する。更に、コンタクト部分に残ったポリイミド等を完全に除去するために、O₂でプラズマにさらすDesicuumを行う。

次に、アルミニウム(A1)をDCマグネットロンスパッタによりイメージセンサ全体を覆うように10000Å程度の厚さで約150°C程度の温度で着膜し、所望のパターンを得るためにフッ酸、硝酸、リン酸、水の混合液を用いたフォトリソエ

いるので、水素化アモルファスシリコン(a-Si:H)層とチタン(Ti)層との界面を無くし、シリサイドの形成を防止することができる。また、チタン(Ti)の上面が合金化されることにより、耐エッティング性を向上させることができる。

(発明の効果)

本発明によれば、金属電極の光導電層側にタンタル(Ta)若しくはタンゲステン(W)から成る層を形成することにより、光導電層との界面においてシリサイドの形成を防止して、エッティングにより光導電層をバーニングする際にチタン(Ti)を良好なエッティングストップとして作用させ、チタン(Ti)の下層に形成される薄膜層を保護し、半導体装置の歩留りの向上を図ることができる。

また、耐電圧性の高いチタン(Ti)を受光素子の金属電極として使用したので、信頼性の高い半導体装置を得ることができる。

4. 図面の簡単な説明

第1図(a)乃至(e)は本発明の一実施例に

特開平4-154165(6)

ッティング工程でバーニングしてレジストを除去する。これにより、透明電極30と薄膜トランジスタTとを接続する引き出し配線71及び信号配線72及び電源供給線73及び薄膜トランジスタの遮光層74をそれぞれ形成する(第1図(e))。

最後に、ポリイミドを3μm程度の厚さで塗布し、125°C程度でブリーベークを行ってフォトリソエッティング工程でパターン形成を行い、再度230°C程度で90分間ベーキングしてバシベーション層(図示せず)を形成する。その後、Desicuumを行い、不要に残ったポリイミドを取り除く。

実施例においては、受光素子Pとしてショットキー構造のフォトダイオードを用いたが、pin構造としてもよい。また、受光素子Pの光導電層20として、a-Si:H以外の他の非晶質材料(例えばa-SiC, a-SiGe)を使用してもよい。

上記実施例によれば、金属電極をタンタル(Ta)とチタン(Ti)とから成る積層構造として

係るイメージセンサの製造プロセスを示す断面説明図、第2図(a)乃至(d)は従来のイメージセンサの製造プロセスを示す断面説明図、第3図はマトリックス駆動型イメージセンサの等価回路図である。

- 10 …… 金属電極
- 11 …… チタン(Ti)層
- 12 …… タンタル(Ta)層
- 20 …… 光導電層
- 30 …… 透明電極
- 40 …… ガラス基板
- P …… 受光素子
- T …… 薄膜トランジスタ

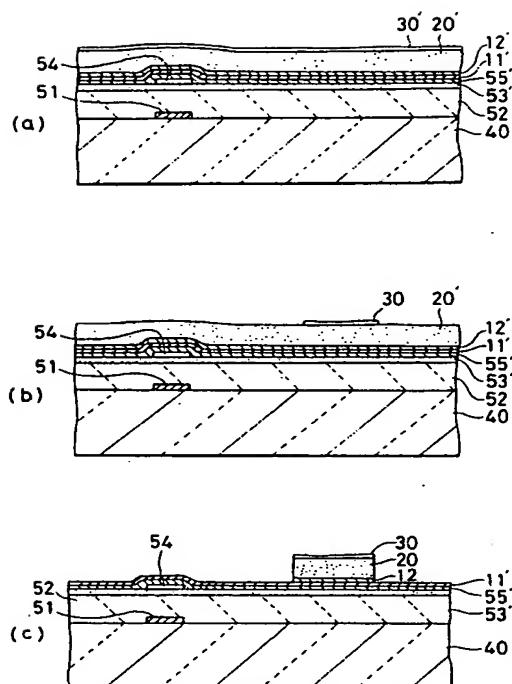
出願人 富士ゼロックス株式会社

代理人 弁理士 阪本清季

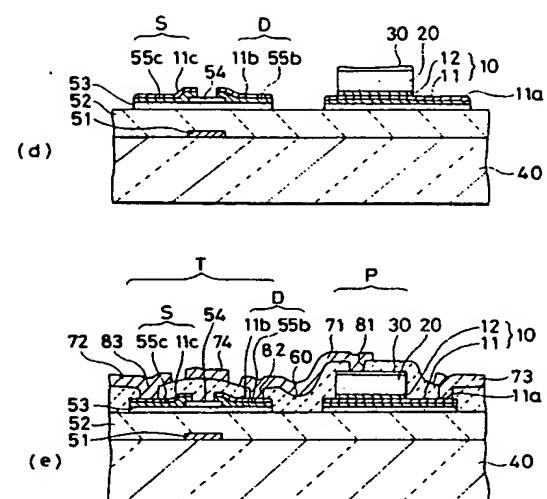
代理人 弁理士 舟津暢宏

特開平4-154165 (7)

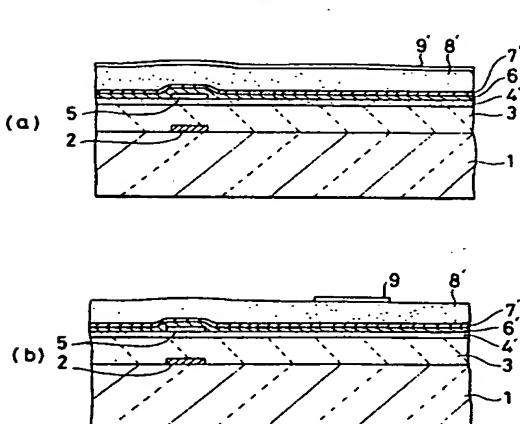
第1図



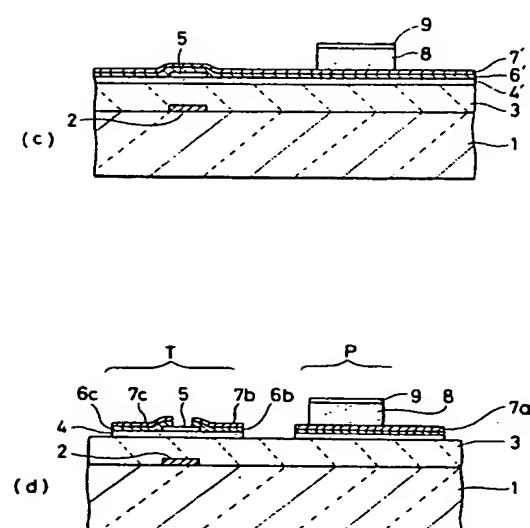
第1図



第2図



第2図



特開平4-154165 (8)

第3図

